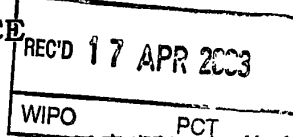


Rec'd PCT/PTO 23 SEP 2004 03.03

日本国特許庁

JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 3月27日

出願番号

Application Number:

特願2002-088916

[ST.10/C]:

[JP2002-088916]

出願人

Applicant(s):

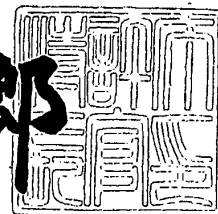
ソニー株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2002年12月10日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



BEST AVAILABLE COPY

出証番号 出証特2002-3097813

【書類名】 特許願

【整理番号】 0290102703

【提出日】 平成14年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/76
G06F 15/78
H03K 19/173

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 志賀 知久

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100090376

【弁理士】

【氏名又は名称】 山口 邦夫

【電話番号】 03-3291-6251

【選任した代理人】

【識別番号】 100095496

【弁理士】

【氏名又は名称】 佐々木 榮二

【電話番号】 03-3291-6251

【手数料の表示】

【予納台帳番号】 007548

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709004

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 演算処理装置、その構築方法及び演算処理方法

【特許請求の範囲】

【請求項1】 任意の演算プログラムに基づいて演算処理をする装置であって、

書込みアドレス及び書込み制御信号に基づいて任意の値を保持し、及び、読出しアドレスに基づいて当該値を出力するレジスタを複数有したレジスタアレイと

前記レジスタアレイから読み出された値を演算する演算部と、

前記演算部を動作させるための演算プログラムから演算命令を解読する命令解読部と、

前記命令解読部によって解読された演算命令を実行するために前記レジスタアレイ及び演算部を制御する命令実行制御部とを備え、

前記命令実行制御部は、

前記演算命令に基づいて一の前記レジスタを選択し、

選択された前記レジスタが保持する値によって他のレジスタを選択するレジスタ相対レジスタアドレッシング処理を実行することを特徴とする演算処理装置。

【請求項2】 前記演算プログラムを格納した読出し専用メモリセルを備えることを特徴とする請求項1に記載の演算処理装置。

【請求項3】 前記演算プログラムには、

前記レジスタ相対レジスタアドレッシング処理を実行するための演算命令を含むことを特徴とする請求項1に記載の演算処理装置。

【請求項4】 前記レジスタアレイ及び読出し専用メモリが複数のメモリセルにより構成され、

前記演算部、命令解読部及び命令実行制御部が複数の算術論理演算素子により構成され、

前記メモリセル及び算術論理演算素子を同一半導体チップ上に備えたプログラマブル・ロジック・デバイスによって構成されることを特徴とする請求項1に記載の演算処理装置。

【請求項5】 前記命令実行制御部には、

前記一のレジスタを選択するための読出し実行アドレス又は当該レジスタを再度選択するための読出しアドレスのいずれか一方を選択する第1のセクタと、

前記一のレジスタを選択するための書込み実行アドレス又は当該レジスタを再度選択するための書込みアドレスのいずれか一方を選択する第2のセクタとを有することを特徴とする請求項1に記載の演算処理装置。

【請求項6】 任意の演算プログラムに基づいて演算処理をする装置を構築する方法であって、

予め同一半導体チップ上に複数のメモリセル及び算術論理演算素子を形成し、

前記メモリセルを組み合わせるレジスタアレイ及び読出し専用メモリを画定すると共に、前記算術論理演算素子を組み合わせる演算部、命令解読部及び命令実行制御部を画定し、その後、前記レジスタアレイ、読出し専用メモリ、演算部、命令解読部及び命令実行制御部を予め設定された配線情報に基づいて結線すると共に、前記読出し専用メモリに任意の演算プログラムを書込むことを特徴とする演算処理装置の構築方法。

【請求項7】 前記演算プログラムには、

前記レジスタ相対レジスタアドレッシング処理を実行するための演算命令を含むことを特徴とする請求項6に記載の演算処理装置の構築方法。

【請求項8】 前記配線情報を格納する書き換え可能な不揮発性の記憶装置が設けられ、

電源オンと共に前記記憶装置から配線情報を読み出して設定し、

設定された前記配線情報に基づいて前記レジスタアレイ、読出し専用メモリ、演算部、命令解読部及び命令実行制御部間を結線することを特徴とする請求項6に記載の演算処理装置の構築方法。

【請求項9】 前記記憶装置に格納される配線情報は当該演算処理装置の機能に応じて随時書き換えられることを特徴とする請求項6に記載の演算処理装置の構築方法。

【請求項10】 前記レジスタアレイは、

書込みアドレス及び書込み制御信号に基づいて任意の値を保持し、及び、読出

しアドレスに基づいて当該値を出力する複数のレジスタを有することを特徴とする請求項6に記載の演算処理装置の構築方法。

【請求項11】 前記命令実行制御部は、
前記演算命令に基づいて一の前記レジスタを選択し、
選択された前記レジスタが保持する値によって他のレジスタを選択するレジスタ相対レジスタアドレッシング処理を実行することを特徴とする請求項6に記載の演算処理装置の構築方法。

【請求項12】 前記命令実行制御部には、
前記一のレジスタを選択するための読出し実行アドレス又は当該レジスタを再度選択するための読出しアドレスのいずれか一方を選択する第1のセクタと、
前記一のレジスタを選択するための書込み実行アドレス又は当該レジスタを再度選択するための書込みアドレスのいずれか一方を選択する第2のセクタとが備えられることを特徴とする請求項6に記載の演算処理装置の構築方法。

【請求項13】 前記演算部では前記レジスタアレイから読み出された値が演算され、

前記命令解読部では前記演算部を動作させるための演算プログラムから演算命令が解読され、

前記命令実行制御部では前記命令解読部によって解読された演算命令を実行するために前記レジスタアレイ及び演算部が制御されることを特徴とする請求項6に記載の演算処理装置の構築方法。

【請求項14】 演算プログラムに基づいて任意の演算処理をする方法であって、

書込みアドレス及び書込み制御信号に基づいて任意の値を保持し、及び、読出しアドレスに基づいて当該値を出力するレジスタを予め複数準備し、その後、

前記演算プログラムから演算命令を解読し、

前記演算命令に基づいて一の前記レジスタを選択し、

選択された前記レジスタが保持する値によって他のレジスタを選択するレジスタ相対レジスタアドレッシング処理を実行すると共に、前記演算命令に基づいて他の前記レジスタを選択し、

選択された他の前記レジスタが保持する値と前記レジスタ相対レジスタアドレッシング処理によって選択されたレジスタの値とを演算することを特徴とする演算処理方法。

【請求項15】 前記レジスタが保持する値によって選択されているレジスタに前記演算の結果を格納することを特徴とする請求項14に記載の演算処理方法。

【請求項16】 前記演算プログラムには、
前記レジスタ相対レジスタアドレッシング処理を実行するための演算命令を含むことを特徴とする請求項14に記載の演算処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、各種電子機器に内蔵可能でプログラム可能な1チップマイクロコンピュータ等に適用して好適な演算処理装置、その構築方法及び演算処理方法に関するものである。

【0002】

詳しくは、演算命令を実行するためのレジスタアレイ及び演算部を制御する命令実行制御部を備え、演算命令に基づいて一のレジスタを選択すると共に、このレジスタが保持する値によって他のレジスタを選択するレジスタ相対レジスタアドレッシング処理を実行して、レジスタアレイをデータの随時書込み及び読出し可能なメモリのように動作できるようにすると共に、CPUや、RAM、ROM等を個々に基板に配置する場合に比べて基板占有面積を低減できるようにしたものである。

【0003】

【従来の技術】

近年、携帯端末装置や、電子カード、情報処理装置等の各種電子機器にCPU（中央演算処理装置）を含むマイクロプロセッサが使用される場合が多くなってきた。この種のプロセッサで記憶装置にアクセスしようとした場合、アクセス先がレジスタである場合と外部メモリである場合とで別々のアクセス方法が採られ

る。

【0004】

アクセス先がレジスタである場合、例えば、ALU (Arithmetic Logic Unit: 算術論理演算ユニット) の周辺にはコピーレジスタやテンポラリレジスタ等が配置され、演算処理を行う場合、コピーレジスタにデータを複写したり、演算処理後のデータをテンポラリレジスタに一時記憶するようになされる。ALUがレジスタ対レジスタの演算処理に適しているためである。

【0005】

アクセス先が外部メモリである場合、例えば、当該レジスタ番号が示す外部メモリの番地に情報を書込む場合、CPUが当該外部メモリに対して、その格納番地を指定する書込みアドレスと、書き込み信号とを出力する。当該レジスタ番号が示す外部メモリの番地から情報を読み出す場合は、CPUが当該外部メモリに対して、その格納番地を指定する読出しアドレスと、読出し信号を出力するようになされる。

【0006】

このように、当該レジスタ番号が示す外部メモリの番地に情報を格納したり、当該レジスタ番号が示す外部メモリの番地から情報を読み出す際に、CPUが当該外部メモリの格納番地（書込みアドレス又は読出しアドレス）を指定する。このような処理はレジスタ相対メモリアドレッシングと呼ばれる場合が多い。これは、通常、外部メモリがプロセッサと異なるデバイスに実装されているためである。

【0007】

【発明が解決しようとする課題】

ところで、従来方式の演算処理装置によれば、以下の二つの理由により、処理速度の低下を招いていた。

【0008】

① 外部メモリにアクセスするためのアクセス時間がかかることである。これは一般的に記憶装置は特定のプロセッサに特化して作られていることは希であることから、プロセッサ側で、アクセスをしたい記憶装置に合わせたインターフェ

ースを用意しなければならない。従って、記憶装置にアクセスする度にこのインターフェースを経由するため、アクセス時間がかかり、演算処理速度が低下する。

【0009】

② 外部メモリからALUへ、またALUから外部メモリへデータを転送する際の時間がかかる。これは一般的にALUがレジスタ対レジスタの演算処理に対応しているため、外部メモリ上に演算したいデータがある場合、一旦、外部メモリからコピーレジスタへデータが複写され、その後、コピーレジスタからALUへデータが転送されて演算処理を行うようになされる（レジスタ相対メモリアドレッシング）。従って、演算処理速度が低下する原因となる。

【0010】

③ CPUや、RAM、ROM等の機能を1チップに集合化して1チップマイクロコンピュータ等を構成しようとした場合に、同一半導体チップ上にCPUを配置し、その周辺部にRAMやROM等を配置する方法が考えられる。この方法は、レジスタ相対メモリアドレッシング処理に依存することとなって、演算処理速度の向上が見込めない。

【0011】

そこで、この発明はこのような従来の課題を解決したものであって、CPUや、RAM、ROM等の機能を1チップに集合化する場合に、レジスタの集合体をデータの随時書込み及び読出し可能なメモリのように動作できるようにすると共に、これらの機能部品等を個々に基板に配置する場合に比べて基板占有面積を低減できるようにした演算処理装置、その構築方法及び演算処理方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

上述した課題は、任意の演算プログラムに基づいて演算処理をする装置であって、書込みアドレス及び書込み制御信号に基づいて任意の値を保持し、及び、読出しアドレスに基づいて当該値を出力するレジスタを複数有したレジスタアレイと、このレジスタアレイから読み出された値を演算する演算部と、この演算部を

動作させるための演算プログラムから演算命令を解釈する命令解釈部と、この命令解釈部によって解釈された演算命令を実行するためにレジスタアレイ及び演算部を制御する命令実行制御部とを備え、この命令実行制御部は演算命令に基づいて一のレジスタを選択し、ここで選択されたレジスタが保持する値によって他のレジスタを選択するレジスタ相対レジスタアドレッシング処理を実行することを特徴とする演算処理装置によって解決される。

【0013】

本発明に係る演算処理装置によれば、任意の演算プログラムに基づいて演算処理をする場合に、命令解釈部では演算部を動作させるための演算プログラムから演算命令が解釈される。命令解釈部によって解釈された演算命令を実行するために命令実行制御部ではレジスタアレイ及び演算部を制御する。これを前提にして、命令実行制御部では、演算命令に基づいて一のレジスタを選択し、ここで選択されたレジスタが保持する値によって他のレジスタを選択するレジスタ相対レジスタアドレッシング処理を実行するようになされる。

【0014】

レジスタアレイの個々のレジスタではレジスタ相対レジスタアドレッシング処理によって指定される書込みアドレス及び書込み制御信号に基づいて任意の値を保持し、及び、読出しアドレスに基づいて当該値を出力するようになされる。演算部ではレジスタアレイから読み出された値を演算するようになされる。

【0015】

従って、レジスタアレイをデータの随時書込み及び読出し可能なメモリ（RAM）のように取り扱うことができるので、従来方式の中央演算処理装置（CPU）に比べて外部メモリの格納番地を指定するレジスタ相対メモリアドレッシング処理に依存しなくなる。

【0016】

従来方式のCPUの中にRAMやROMの機能を取り込むことができるので、高速演算処理を実行すること、及び、CPUや、RAM、ROM等を個々に基板に配置する場合に比べて基板占有面積を低減することができる。当該演算処理装置が適用される応用装置のコンパクト化を図ることができる。

【0017】

本発明に係る演算処理装置の構築方法は、任意の演算プログラムに基づいて演算処理をする装置を構築する方法であって、予め同一半導体チップ上に複数のメモリセル及び算術論理演算素子を形成し、メモリセルを組み合わせてレジスタアレイ及び読出し専用メモリを画定すると共に、算術論理演算素子を組み合わせて演算部、命令解読部及び命令実行制御部を画定し、その後、レジスタアレイ、読出し専用メモリ、演算部、命令解読部及び命令実行制御部を予め設定された配線情報に基づいて結線すると共に、読出し専用メモリに任意の演算プログラムを書込むことを特徴とするものである。

【0018】

本発明に係る演算処理装置の構築方法によれば、例えば、電源オンと共に不揮発性の記憶装置から読み出された配線情報に基づいてレジスタアレイ、読出し専用メモリ、演算部、命令解読部及び命令実行制御部を結線するようになされる。

【0019】

従って、命令実行制御部で演算命令に基づいて一のレジスタを選択し、このレジスタが保持する値によって他のレジスタを選択するレジスタ相対レジスタアドレスッシング処理を実行するようなプログラム可能な演算処理装置を電源オンと共に構築することができる。

【0020】

しかも、従来方式のCPUの中にRAMやROMの機能を取り込んだ演算処理装置を構築することができ、高速演算処理を実行すること、及び、CPUや、RAM、ROM等を個々に基板に配置する場合に比べて基板占有面積を低減することができる。当該演算処理装置が適用される応用装置のコンパクト化を図ることができる。

【0021】

本発明に係る演算処理方法は演算プログラムに基づいて任意の演算処理をする方法であって、書込みアドレス及び書込み制御信号に基づいて任意の値を保持し、及び、読出しアドレスに基づいて当該値を出力するレジスタを複数準備し、その後、演算プログラムから演算命令を解読し、演算命令に基づいて一のレジスタ

を選択し、ここで選択されたレジスタが保持する値によって他のレジスタを選択するレジスタ相対レジスタアドレッシング処理を実行すると共に、演算命令に基づいて他のレジスタを選択し、ここで選択された他のレジスタが保持する値とレジスタ相対レジスタアドレッシング処理によって選択されたレジスタの値とを演算することを特徴とするものである。

【0022】

本発明に係る演算処理方法によれば、演算プログラムに基づいて任意の演算処理をする場合に、複数のレジスタをデータの随時書込み及び読出し可能なメモリのように取り扱うことができるので、従来方式の中央演算処理装置と外部メモリと組み合わせた演算処理方法に比べてレジスタ相対メモリアドレッシング処理に依存しなくなる。これにより、従来方式に比べて高速演算処理を実行できるようになる。

【0023】

【発明の実施の形態】

続いて、この発明に係る演算処理装置、その構築方法及び演算処理方法の一実施の形態について、図面を参照しながら説明をする。

(1) 実施形態

図1は本発明に係る実施形態としての演算処理装置100の構成例を示すブロック図である。

【0024】

この実施形態では演算命令を実行するためのレジスタアレイ及び演算部を制御する命令実行制御部を備え、演算命令に基づいて一のレジスタを選択すると共に、このレジスタが保持する値によって他のレジスタを選択するレジスタ相対レジスタアドレッシング処理を実行して、レジスタアレイをデータの随時書込み及び読出し可能なメモリ(RAM)のように動作できるようにすると共に、CPUや、RAM、ROM等を個々に基板に配置する場合に比べて基板占有面積を低減できるようにしたものである。

【0025】

図1に示す演算処理装置100はプログラム可能な1チップマイクロコンピュ

ータ等に適用して好適なプロセッサであり、任意の演算プログラムに基づいて演算処理をするものである。この例で演算処理装置100はプログラマブル・ロジック・デバイスを構成し、同一半導体チップ上に形成されたメモリセル及び算術論理演算素子を配線情報に基づいて結線し、複数のメモリセルによりレジスタアレイ11、及びROMセル14を構成し、複数の算術論理演算素子によりALU12、デコーダ13及び命令実行制御部50を構成したものである。演算処理装置100はインタフェース60を通じて外部のシステムバス等に接続される。

【0026】

演算処理装置100はレジスタアレイ11を有している。レジスタアレイ11は複数のレジスタを有しており、各々のレジスタは書込みアドレスAw及び書込み制御信号Swに基づいて任意の値を保持し、及び、読出しアドレスArに基づいて被数Xや加数Y等の値を出力するようになされる。レジスタアレイ11には例えば、8192個×32bitのレジスタが設けられる。

【0027】

このレジスタアレイ11には演算部の一例となる算術論理演算ユニット (Arithmetic and Logic Unit: 以下でALUという) 12がデータ信号線L20を通じて接続されており、レジスタアレイ11の中で指定されたレジスタから読み出されたXやY等の値を演算するようになされる。演算結果の値はZである。演算種目は足し算、かけ算、引き算、わり算等である。演算種目は命令実行制御部50から出力されるALU制御信号S35に基づいて設定される。

【0028】

データ信号線L20には、ALU12の他にラッチ回路58、511、セレクタ56、57、59等が接続されている。データ信号線L20にはDATA、被数X値、加数Y値等が伝送される。

【0029】

この演算処理装置100にはALU12を動作させるために命令解読部 (以下でデコーダという) 13が備えられている。デコーダ13には読出し専用メモリ (ROMセル) 14が接続されており、ALU12の演算動作に必要な演算プログラムAPが機械語の命令 (Instruction) で格納される。ROMセル14はプ

プログラムカウンタ54からのカウント出力信号S5に基づいて演算プログラムAPを出力するようになされる。ROMセル14もプロセッサ内部に実装される。

【0030】

デコーダ13では、予め準備された演算プログラムAPから演算命令を解読するようになされる。例えば、デコーダ13はROMセル14から読み出された機械語の命令を解読して命令制御信号S4、命令信号S9及び各引数信号S10を発生するようになされる。命令信号S9にはload命令、add命令、cmp命令、jump命令が含まれる。各引数信号S10にはアクセス方法#1、アクセス方法#2、レジスタ番号r0, r1・・・等、フラグ状態(flag condition)及びジャンプアドレス等が含まれる。命令制御信号S4は命令読出しステートマシーン52に出力される。

【0031】

この演算プログラムAPには、レジスタ相対レジスタアドレッシング処理を実行するための演算命令を含んでいる。レジスタ相対レジスタアドレッシング処理とは演算命令に基づいて一のレジスタを選択し、ここで選択されたレジスタが保持する値によって他のレジスタを選択する処理をいう。この処理はアクセス方法#1によって実行される。

【0032】

デコーダ13には命令実行制御部50が接続されており、デコーダ13によって解読された演算命令を実行するためにレジスタアレイ11及びALU12を制御するようになされる。命令実行制御部50は実行ステートマシーン51、命令読出しステートマシーン52、セクタ53、プログラムカウンタ(PC)54、+1インクリメント55、第1のセクタ56、第2のセクタ57、入力用のセクタ59、ラッチ回路58、510、511を有しており、レジスタ相対レジスタアドレッシング処理を実行するようになされる。

【0033】

命令読出しステートマシーン52ではデコーダ13から出力される命令制御信号S4に基づいてプログラムカウンタ54及び実行ステートマシーン51を制御する。例えば、当該マシーン52はデコーダ13から命令信号S9及び各引数信

号S10が実行ステートマシン51へ出力されると共に命令実行開始信号S29を出力する。

【0034】

実行ステートマシン51にはALU12、セクタ56、57、59、ラッチ回路58、510、511が接続されている。セクタ56の出力は読出しアドレス線L14を介在してレジスタアレイ11に接続され、その入力データ信号線L20及びアドレス信号線L33に各々接続されている。読出しアドレスAr又は読出し実行アドレスArのいずれかを選択するためである。セクタ57の出力は書込みアドレス線L13を介在してレジスタアレイ11に接続され、その入力データ信号線L20及びアドレス信号線L34に各々接続されている。書込みアドレスAw又は書込み実行アドレスAwのいずれかを選択するためである。

【0035】

当該マシン51では命令実行開始信号S29に基づいて命令の実行を開始する。例えば、データの書込み時には、書込み制御信号Swがレジスタアレイ11に出力され、セクタ59には選択制御信号S24が出力される。データの読出し時には、選択制御信号S32がセクタ56に出力されると共に、読出しアドレスArが出力される。

【0036】

演算時には、ラッチ制御信号S34がラッチ回路58に出力され、ラッチ回路510にはラッチ制御信号S38が出力される。当該プロセッサ外部には外部制御信号S16が出力される。命令の実行が終了すると、実行ステートマシン51は命令読み出しステートマシン52へ実行終了信号S26を出力し、プログラムカウンタ54の値を進めるようになされる。

【0037】

この実行ステートマシン51及び命令読み出しステートマシン52にはセクタ53が接続されており、選択制御信号S28に基づいてインクリメント出力信号S7又は分岐制御信号S27のいずれか一方を選択し、これをセクタ出力としてプログラムカウンタ54に出力するようになされる。選択制御信号S2

8は実行ステートマシーン51から供給される。インクリメント出力信号S7はインクリメンタ55からセクタ53へ出力される。

【0038】

プログラムカウンタ54ではカウント制御信号S30に基づいてROMセル14から演算プログラムAPを読み出す場所が指定される。+1インクリメンタ55はプログラムカウンタ54のカウント出力信号S5を「+1」してインクリメントするようになされる。カウント制御信号S30は命令解読ステートマシーン52から供給される。

【0039】

この例で実行ステートマシーン51に接続されたセクタ56では、一のレジスタを選択するための読出し実行アドレスAr又は当該レジスタを再度選択するための読出しアドレスArのいずれか一方を選択するようになされる。セクタ56は実行ステートマシーン51からの選択制御信号S32によっていずれか一方のアドレスを選択するようになされる。読出し実行アドレスArは実行ステートマシーン51からセクタ57に出力される。読出しアドレスArはレジスタアレイ11から出力される。

【0040】

セクタ56の他に実行ステートマシーン51にはセクタ57が接続されており、一のレジスタを選択するための書込み実行アドレスAw又は当該レジスタを再度選択するための書込みアドレスAwのいずれか一方を選択するようになされる。セクタ57は実行ステートマシーン51からの選択制御信号S31によっていずれか一方のアドレスを選択するようになされる。書込み実行アドレスAwは実行ステートマシーン51からセクタ57に出力される。書込みアドレスAwはレジスタアレイ11から出力される。

【0041】

セクタ59はデータバス19A、レジスタアレイ11及びALU12に接続されており、データバス19Aから取り込んだデータ(DATA)、レジスタアレイ11から出力される被数X値(加数Y値)又はALU12から出力される演算結果値Zのいずれかを選択制御信号S24に基づいて入力制御するようになさ

れる。

【0042】

ラッチ回路58はレジスタアレイ11の読出しポートとALU12の間に接続されており、ラッチ制御信号S34に基づいてレジスタ r_i の出力値Xをラッチするようになされる。ラッチ回路510はALU12の比較出力部等に接続されており、ラッチ制御信号S38に基づいて一致検出信号S22をラッチして、フラグ状態(flag condition)信号S23を出力するようになされる。ラッチ回路511はレジスタアレイ11の読出しポートとアドレスバス19Bとの間に接続されており、ラッチ制御信号S17に基づいて外部アドレス(address)をラッチするようになされる。

【0043】

なお、実行された命令によってジャンプ(命令分岐)が発生した場合は、ジャンプ先のアドレスを示す分岐制御信号S27を実行ステートマシン51からセクタ53へ出力される。セクタ53では選択制御信号S28に基づいてその分岐制御信号S27を選択し、この分岐制御信号S27をプログラムカウンタ54へ書き込むようになされる。また、実行ステートマシーン51にはコントロールバス19Cが接続され、外部制御信号S16を外部へ出力するようになされる。外部周辺機器を制御するためである。

【0044】

図2はレジスタアレイ11の内部構成例を示すブロック図である。図2に示すレジスタアレイ11によれば、例えば、8192個の32bitのレジスタ $r_0 \sim r_n$ ($i=0 \sim n; 8191$)が備えられ、各々のレジスタ $r_0 \sim r_n$ の入力には書込みポート15が接続されている。1bitのレジスタはD型のフリップ・フロップ回路等から構成される。

【0045】

書込みポート15は図1に示したセクタ59に接続されており、書込み制御信号Sw及び書込みアドレスAwに基づいて、データバス19Aから取り込んだデータ(DATA)、レジスタアレイ11から出力される被数X値(加数Y値)又はALU12から出力される演算結果値Zのいずれかをレジスタ $r_0 \sim r_n$ に

書き込むようになされる。書込みポート15は書込みアドレス線L13を介在して図1に示したセクタ57に接続されている。書込み実行アドレスAw又は書込みアドレスAwを供給するためである。

【0046】

各々のレジスタ $r_0 \sim r_n$ の出力には読出しポート16が接続されている。読出しポート16はデータ信号線L20を通じて図1に示したALU12、ラッチ回路58、511、セクタ56、57、59等に接続されており、読出しアドレスArに基づいて指定されたレジスタ r_i からデータ(DATA)を読み出すようになされる。

【0047】

読出しポート16は読出しアドレス線L14を介在して図1に示したセクタ56に接続されている。読出し実行アドレスAr又は読出しアドレスArを供給するためである。書込みアドレス線L13を介在して図1に示したセクタ57に接続されている。書込み実行アドレスAw又は書込みアドレスAwを供給するためである。

【0048】

図3A～Eは演算処理装置100で取り扱う命令の構造例を示すフォーマット等である。図3Aに示すフォーマットによれば、命令は32ビットの固定長であり、大きく分けてload命令や、add命令、cmp命令等とjump命令とによって取り扱われる。load、add及びcmp命令においては、最初の2ビットが命令の種類を表している。命令は図3Cに示すように4種類である。

【0049】

命令は図3Cにおいて、コード「0」でloadを示し転送命令、コード「1」でaddを示し加算命令、コード「2」でcmpを示し比較命令である。コード「3」はjumpで分岐命令を示している。cmp命令に関しては比較結果が同じであった場合は、図1に示したラッチ回路510のフラグ状態信号S23に基づいてzero flagが1にセットされ、同じでなかった場合は0がセットされる。

【0050】

図3 Aに示す命令に続く2ビットにはアクセス方法#1が記述され、それに続く2 bitにはアクセス方法#2が記述される。Operandは左がアクセス方法#1、レジスタ番号1で表され、右がアクセス方法#2、レジスタ番号2で表される。つまり、アクセス方法#1はレジスタ番号1で示されるレジスタ *ri* のアクセス方法を示しており、アクセス方法#2はレジスタ番号2で示されるレジスタ *ri* のアクセス方法を示している。アクセス方法#1とアクセス方法#2はそれぞれレジスタ番号No. 1、レジスタ番号No. 2に対応し、これらの間で処理が行われる。いずれも、図3 Dに示すようにアクセス方法は4種類が準備されている。

【0051】

図3 Dにおいて、コード「0」は「レジスタ直接」でレジスタ番号で示されるレジスタ *ri* の値を直接用いることを示している。コード「1」は「レジスタ相対レジスタ」でレジスタ番号で示されるレジスタの値を再度レジスタ番号と解釈し、そのレジスタ番号で示されるレジスタの値を用いることを示している。

【0052】

コード「2」は「レジスタ相対外部」でレジスタ番号で示されるレジスタ値を外部アドレスとして扱い、当該演算処理装置100の外部に対してアクセスを示している。コード「3」は未使用である。アクセス方法#1とアクセス方法#2はそれぞれレジスタ番号1、レジスタ番号2に対応し、これらの間で処理が行われる。例えば、レジスタ番号1は被数を保持するレジスタ *ri* を示し、レジスタ番号2は加数を保持するレジスタ *ri* を示す。

【0053】

また、図3 Bに示すjump命令のフォーマットによれば、最初の2 bitに命令が記述され、続く2 bitにはフラグ状態(flag condition)が記述される。続く28 bitにはジャンプアドレスが記述される。フラグ状態は図3 Eに示すように、命令実行制御を移すかどうかの判断をするための条件である。コード「0」は「無条件」で常に制御を移す。コード「1」は「zero flag」でzero flagが「1」である場合に、制御を移す。コード「2」は「non-zero flag」でzero flagが「0」であ

る場合に制御を移すようになされる。コード「3」は未使用である。

【0054】

図4はROMセル14の演算プログラムAPによる演算命令の例を示す表図である。図5はレジスタr0～r12等の状態例を示すイメージ図である。

この例ではレジスタアレイ11の13個のレジスタr_i (i=0～12)のいずれかを使用して、そのレジスタr_iに格納された値に「1」を加算し、そのレジスタr_iの値が示す任意のレジスタに演算結果を格納する場合を想定する。図4に示す演算命令 (Instruction) #I1～#I4はROMセル14の演算プログラムAPに記述されたものである。

【0055】

各々の演算命令#I1～#I4には、ニーモニックによる表現、機械語による表現及び処理の内容が示されている。図4に示す演算命令#I1は図3Aに示した命令構造において、機械語で5001400Bhによって表されるadd [r10], r11であり、レジスタアレイ11のr10で示されるレジスタ番号のレジスタr10の値に、r10で示されるレジスタ番号のレジスタr11の値を加算し、その結果をr10で示されるレジスタ番号のレジスタr10に格納する内容である。

【0056】

演算命令#I2は機械語で4001400Bhによって表されるadd r10, r11であり、レジスタr10の値にレジスタr11の値を加算してその演算結果をレジスタr10に書き戻す内容である。演算命令#I3は機械語で8001400Chによって表されるcmp r10, r12であり、レジスタr10の内容とレジスタr12の内容とを比較し、同じ値の場合はzero flagに「1」をセットし、異なっている場合は「0」にセットする内容である。命令#I4は機械語でE0000000hによって表されるjump nz, LOOPであり、zero flagが「0」の場合は、LOOPで示されるラベルへ制御を移す内容である。

【0057】

図5に示すレジスタアレイ11の13個のレジスタ状態例によれば、レジスタ

r0～r10の初期値はいずれも「0」であり、レジスタr11の初期値は「1」、レジスタr12の初期値は「10」である。

【0058】

図4に示した命令#I1を実行する場合、図5に示すレジスタr10の値は「0」であるので、レジスタr0が選択される。そのレジスタr0の値である「0」が読出しポート16に読み出され、続いてレジスタr11の値である「1」が読出しポート16に読み出され、これらの値が加算され、その演算結果である「1」がレジスタr0に格納される。これにより、レジスタr0の値が「1」ずつ増加するようになされる。この例ではレジスタr12の値である10回まで加算処理が繰り返される。

【0059】

図4に示した命令#I2を実行する場合は、図5に示すレジスタr10の値である「0」にレジスタr11の値である「1」が加算され、その演算結果の「1」がレジスタr10に格納される。これにより、次のレジスタへ処理が移るようになされる。

【0060】

図4に示した命令#I3を実行する場合、zero flagの値がラッチ回路510によって保持され、以降の命令によって参照される。これを前提にしてレジスタr10の値「0」とレジスタr12の値である「10」とが比較される。この例では、レジスタr10の値「0」とレジスタr12の値「10」とが異なるので、zero flagには「0」がセットされる。zero flagに「1」がセットされるのは、レジスタr10の値「10」とレジスタr12の値「10」とが一致した場合である。

【0061】

図4に示した命令#I4を実行する場合、zero flagが「0」なので制御を命令#I1に移す（LOOP）。上記の動作が10回、繰り返されるとレジスタr10の値が「10」になり、レジスタr10の値「10」とレジスタr12の値「10」とが一致するので、命令#I3によりzero flagが「1」にセットされ、命令#I4で制御が命令#I1に移らなくなり、演算処理が

終了する。

【0062】

(2) 演算処理方法

続いて、本発明に係る演算処理方法について当該演算処理装置100の動作例を説明する。図6は本発明に係る実施形態としての演算処理装置100の動作例を示すフローチャートである。

【0063】

この実施形態では、図4に示した演算命令#I1～#I4を形成する演算プログラムAPに基づいて加算処理を実行する場合を想定する。もちろん、演算処理装置100には書き込みアドレスAw及び書き込み制御信号Swに基づいて任意の値を保持し、及び、読出しアドレスArに基づいて当該値を出力するレジスタアレイ11が予め準備されている場合を前提とする。

【0064】

レジスタアレイ11のレジスタ状態については、図5に示したように、例えば、13個のレジスタr0～r10の初期値がいずれも「0」であり、レジスタr11の初期値が「1」、レジスタr12の初期値が「10」である。これらの初期値を書き込む場合は、実行ステートマシーン51ではアドレス信号線L34に書き込みアドレスAwが出力され、セクタ57が選択制御信号S31に基づいてレジスタr10、レジスタr11及びレジスタr12を選択することで、その初期値「0」、「1」、「10」が設定される。

【0065】

これを動作条件にして、図6に示すフローチャートのステップA1で、まず、デコーダ13はROMセル14から演算プログラム（機械語命令）APを受け取り、演算プログラムAPを解読して演算命令#I1～#I4を検出する。

【0066】

このとき、デコーダ13では図4で説明した機械語の5001400Bhによって示されるadd [r10], r11に係る演算命令#I1や、機械語で4001400Bhによって表されるadd r10, r11に係る演算命令#I2、機械語で8001400Chによって表されるcmp r10, r12に係

る演算命令# I 3、機械語でE 0 0 0 0 0 0 hによって表されるj u m p n z、L O O Pに係る演算命令# I 4を検出し、これらの演算命令# I 1～# I 4から、命令制御信号S 4、命令信号S 9及び各引数信号S 1 0が生成され、これらの信号S 9及びS 1 0が実行ステートマシーン5 1に出力するようになされる。

【0067】

命令信号S 9にはl o a d命令、a d d命令、c m p命令、j u m p命令が含まれる。各引数信号S 1 0にはアクセス方法# 1、アクセス方法# 2、レジスタ番号r 0、r 1・・・等、フラグ状態(f l a g c o n d i t i o n)及びジャンプアドレス等が含まれる。命令制御信号S 4はデコーダ1 3から命令読出しステートマシーン5 2に出力される。

【0068】

その後、ステップA 2で実行ステートマシーン5 1は命令読出しステートマシーン5 2の命令読出し制御を受けて演算命令# I 1を受け取り、5 0 0 1 4 0 0 B hによって示されるa d d [r 1 0], r 1 1に基づいて一のレジスタr 1 0を選択する。このとき、アドレス信号線L 3 3にレジスタの番号「1 0」を出力する。選択制御信号S 3 2を用いてセレクタ5 6がアドレス信号線L 3 3を選択するようにする。これにより、読出しアドレス線L 1 4にレジスタ番号「1 0」が出力される。この値「1 0」はレジスタアレイ1 1でレジスタ番号1 0のレジスタr 1 0を読み出すアドレスA rとして用いられる。レジスタアレイ1 1ではレジスタr 1 0が選択される。レジスタr 1 0の値は「0」である。

【0069】

そして、ステップA 3でレジスタr 1 0が保持する値「0」によってレジスタ相対レジスタアドレッシング処理を実行する。このとき、レジスタr 1 0の値「0」は読出しポート1 6からデータ信号線L 2 0に出力するようになされる。他のレジスタr 0を選択するためである。これにより、レジスタアレイ1 1からデータ信号線L 2 0に出力されたレジスタr 0の値「0」はラッチ回路5 8で保持される。

【0070】

これと共に、実行ステートマシーン 51 は選択制御信号 S32 に基づいてデータ信号線 L20 を選択するようになされる。これにより、セクタ 56 は読み出しアドレス線 L14 にレジスタ r10 の値「0」を出力するようになる。レジスタアレイ 11 ではレジスタ r0 が選択される。

【0071】

そして、ステップ A4 に移行して演算命令 #I1 に基づいて他のレジスタ r11 を選択する。このとき、実行ステートマシーン 51 は選択制御信号 S32 をセクタ 56 に出力してセクタ 56 により読出し実行アドレス Ar を選択するようになる。これ共に、アドレス信号線 L33 に読出し実行アドレス Ar として値「11」を出力する。この値「11」はレジスタアレイ 11 でレジスタ番号「11」のレジスタ r11 を読み出すアドレスとして用いられる。レジスタ r11 の値は「1」である。

【0072】

これにより、読出しアドレス Ar に基づいてレジスタ r11 が選択される。この選択によって読出しポート 16 からデータ信号線 L20 へレジスタ r11 の出力値である Y 値＝「1」を出力するようになされる。これらの操作により、データ信号線 L20 に出力されたレジスタ r11 の Y 値＝「1」と、ラッチ回路 58 の出力である X 値＝「0」とが ALU12 に入力される。つまり、レジスタ r10 が保持する値「0」によって指定されたレジスタ r0 の X 値＝「0」（レジスタ相対レジスタアドレッシング処理によって選択されたレジスタ r0 の値）とレジスタ r11 の Y 値＝「1」とが ALU12 に入力される。

【0073】

そして、ステップ A5 でレジスタ r11 が保持する Y 値＝「1」とレジスタ相対レジスタアドレッシング処理によって選択されたレジスタ r0 の X 値＝「0」とが ALU12 によって加算するようになされる。このとき、ALU12 には加算命令を示す演算命令信号 S35 が入力されている。これにより、ALU12 では X＝「0」値に Y 値＝「1」を加算し、その加算結果値 Z＝「1」を演算結果信号 S21 としてセクタ 59 に出力するようになされる。

【0074】

そして、ステップA6で機械語で4001400Bhによって表される演算命令#I2に基づいて演算結果値Zがセクタ59によって選択される。このとき、セクタ59では選択制御信号S24により演算結果値Zを選択するようにセットされる。演算結果値Zがレジスタアレイ11に入力される。レジスタアレイ11ではレジスタ相対レジスタアドレッシング処理によって指定されるレジスタr0に、書込みアドレスAw及び書込み制御信号Swに基づいて演算結果値Zを格納するようになされる。

【0075】

つまり、レジスタr10が指定するレジスタr0にALU12の演算結果値Zを書き戻す場合は、まず、実行ステートマシーン51はアドレス信号線L33には書込み実行アドレスAwとして値「10」を出力する。このとき、読出し用のセクタ56には選択制御信号S32を出力してアドレス信号線L33を選択するようにされる。

【0076】

そして、レジスタアレイ11の読出しポート16にはレジスタr10の値「0」が出力されるので、今度は、書込み用のセクタ57には選択制御信号S31を出力してデータ信号線20を選択するようにされる。この選択によってレジスタアレイ11の読出しポート16からセクタ57を通じてレジスタr0を選択する値「0」が書込みアドレスAwとしてレジスタアレイ11に入力される。

【0077】

ここまででレジスタアレイ11には書込みアドレスAwと書き込む内容が入力される。その後、実行ステートマシーン51は書込み信号SWを用いて実際に値の書き込みを指示する。このようにして、演算命令#I1のadd [r10], r11を演算することができる。

【0078】

この例では、ステップA7でレジスタr12が示す値=10回に至ったかが判別される。この際の判別では演算命令#I3に基づいてラッチ回路510に保持されているzero flagの値が参照される。zero flagの値はレジスタr10の値とレジスタr12の値「10」とが比較され、両方の値が異な

る場合はzero flagに「0」がセットされる。

【0079】

両方の値が一致する場合はzero flagに「1」がセットされる。従って、レジスタr12が示す値=10回に至っていない場合はzero flagに「0」がセットされることから、演算命令#I4に基づいてステップA5に戻って（LOOPして）レジスタr11の値である「1」が読出しポート16に読み出される。

【0080】

この値「1」が繰り返し加算処理がなされ、レジスタr0の値が「1」ずつ増加するようになされ、その演算結果である「1」、「2」、「3」・・・がレジスタr0に格納される。これにより、書込みアドレスAw及び書込み制御信号Swに基づいて演算結果値Zをレジスタr0に格納することができる。

【0081】

そして、ステップA7でレジスタr12が示す値=10回に至った場合は、レジスタr10の値「10」とレジスタr12の値「10」とが一致するので、命令#I3によりzero flagが「1」にセットされ、命令#I4で制御が命令#I1に移行されなくなるので、ステップA5にLOOPすることなく演算処理が終了する。

【0082】

このように、本発明に係る実施形態としての演算処理装置及び演算処理方法によれば、図6に示したフローチャートのステップA1でデコーダ13によって解読された演算命令#I1～#I4等は命令信号S9及び各引数信号S10となって実行ステートマシン51へ出力される。実行ステートマシン51ではステップA2で演算命令#I1～#I4に基づいて一のレジスタr10を選択し、ステップA3でレジスタr10が保持する値「0」によってレジスタ相対レジスタアドレッシング処理を実行するようになされる。

【0083】

ステップA4で他のレジスタr0が選択されると、ステップA5でX値とY値とがALU12によって加算され、レジスタアレイ11のレジスタr0ではレジ

スタ相対レジスタアドレッシング処理によって指定される書込みアドレス A_w 及び書込み制御信号 S_w に基づいて演算結果値 Z を保持し、及び、ステップ A5 で読出しアドレス A_r に基づいて当該演算結果値 Z を次の演算の加数 X 値として出力するようになされる。ALU12 ではレジスタアレイ 11 から読み出された X 値及び Y 値を加算するようになされる。

【0084】

従って、レジスタアレイ 11 をデータの随時書込み及び読出し可能なメモリ (RAM) のように取り扱うことができるので、レジスタ $r_0 \sim r_{12}$ 等を通常のプロセッサの RAM (メモリ) のように扱いながら、レジスタアレイ 11 (レジスタ) にアクセスをすることが可能となる。

【0085】

これにより、従来方式の中央演算処理装置 (CPU) に比べて外部メモリの格納番地を指定するレジスタ相対メモリアドレッシング処理に依存しなくなる。従来方式の CPU の中に RAM や ROM の機能を取り込むことができるので、高速演算処理を実行すること、及び、CPU や、RAM、ROM 等を個々に基板に配置する場合に比べて基板占有面積を低減することができる。当該演算処理装置 100 が適用される応用装置のコンパクト化を図ることができる。

【0086】

(3) 演算処理装置の構築方法

図 7 は本発明に係る実施形態としての演算処理装置 100 の構築例 (その 1) を示す平面図である。

この実施形態では図 1 に示した演算処理装置 100 を構築する場合に、予め同一半導体チップ上に複数のメモリセル及び算術論理演算素子を形成し、このメモリセルを組み合わせてレジスタアレイ 11 及び ROM セル 14 を画定すると共に、算術論理演算素子を組み合わせて ALU12、デコーダ 13 及び命令実行制御部 50 を画定する。その後、レジスタアレイ 11、ROM セル 24、ALU12、デコーダ 13 及び命令実行制御部 50 を予め設定された配線情報に基づいて結線すると共に、ROM セル 14 に上述した演算プログラム AP を書込むようになされる。

【0087】

図7に示す演算処理装置100は予め同一半導体チップ上に複数のメモリセルMSE及び算術論理演算素子LAYを形成したプログラム可能な半導体デバイス(PLD; Programmable Logic Device)である。この半導体デバイスの行方向には例えば $N=7$ 本($i=1, 2, i \dots N$)の配線パターン(以下で行配線CO1~CO7という)が配置される。

【0088】

列方向には同様に $M=7$ 本($j=1, 2, j \dots M$)の配線パターン(以下で列配線RO1~RO7という)が配置される。この行配線CO1~CO7と直交するように配置された列配線RO1~RO7によってPLDが格子状を構成するようになされている。各々の格子内には複数のメモリセルMSE及び算術論理演算素子LAYを一単位とするメモリセル/算術論理演算素子ブロック(以下で単にセルブロックという)SE ij ($i=1 \sim 8, j=1 \sim 8$)が設けられている。

【0089】

この例では $8 \times 8 = 64$ 個のセルブロックSE11~SE88が同一半導体チップ上に形成されている。1つのセルブロックSE ij の上半分には複数のメモリセルMSEが配置され、その下半分には複数の算術論理演算素子LAYが配置されている。また、レジスタアレイ11及びROMセル14はセルブロックSE ij 内のメモリセルを組み合わせて画定する場合と、他のセルブロックSE ij 内のメモリセルをも組み合わせてレジスタアレイ11及びROMセル14を画定する場合とを想定している。

【0090】

各々の行配線CO1~CO7の両終端側及び列配線RO1~RO7の両終端側にはI/Oインタフェース60~63が設けられ、I/Oインタフェース61には行配線CO1~CO7の一端側が接続され、その他端側にはI/Oインタフェース63が接続されている。I/Oインタフェース60には列配線RO1~RO7の一端側が接続され、その他端側にはI/Oインタフェース62が接続されている。セルブロックSE11に最も近い行配線CO1や、列配線RO1等を使用

してI/Oインタフェース60又はI/Oインタフェース63に配線をプログラムすることが可能となされている。もちろん、他の行配線CO2~CO7や、列配線RO2~RO8等を使用して他のセルブロックSE_{ij}1に配線をプログラムすることが可能となされている。

【0091】

4つのI/Oインタフェース60~63は例えば、格子内の64個のセルブロックSE_{ij}の内、外周縁部を構成するセルブロックSE11, SE12...SE18, SE11, SE21...SE81, SE81, SE82...SE88、及びSE18, SE28...SE88に沿ってこれらを取り囲むように配置されている。

【0092】

各セルブロックSE_{ij}内のメモリセル間、算術論理演算素子間の配線や、セルブロックSE11~SE88間の配線、これらの間を結線する列配線RO1~RO7とI/Oインタフェース間には複数のスイッチ素子（トランジスタ）が至る所に配置され、配線情報に基づいてスイッチ素子をONすることで、回路要素間を自在に接続できるようになされている。

【0093】

なお、この段階ではレジスタアレイ11、ALU12、デコーダ13、ROMセル14及び命令実行制御部50等が画定されておらず、汎用性を有したプログラマブル・ロジック・デバイスを作成している。この例では、プログラマブル・ロジック・デバイスを電子機器にCPUとして組み込む場合に、各機能回路にセルブロックSE11~SE88を割り当てたり、これらの間を列配線RO1~RO7や、行配線CO1~CO7等を使用して結線し、当該電子機器で要求される演算機能に対して自在にプログラムしてユーザの希望に合ったCPU機能等を構築するようになされる。

【0094】

図8は、演算処理装置100の構築例（その2）を示す平面図である。図8においては、図7で準備された半導体チップ上に、図8に示す波線で囲むようなレジスタアレイ11、ALU12、デコーダ13、ROMセル14、実行ステート

マシン51、命令読出しステートマシン52、セクタ53、プログラムカウンタ54、インクリメンタ55、セクタ56、セクタ57、入力用のセクタ59、ラッチ回路58、510、511を画定して演算処理装置100をレイアウトする。

【0095】

なお、実行ステートマシン51、命令読出しステートマシン52、セクタ53、プログラムカウンタ54、インクリメンタ55、セクタ56、セクタ57、入力用のセクタ59及びラッチ回路58、510、511は図1に示した命令実行制御部50を構成する。

【0096】

この例で、レジスタアレイ11には例えば、セルブロックSE1、SE14、SE23及びSE43を割り当てて構成する。8192個のレジスタ $r_0 \sim r_n$ にはこれらのセルブロックSE1、SE14、SE23及びSE43のメモリセルMSEを使用する。レジスタアレイ11は書込みアドレスAw及び書込み制御信号Swに基づいて任意の値を保持し、及び、読出しアドレスArに基づいて当該値を出力する複数のレジスタ $r_0 \sim r_n$ を備えるようにメモリセルMSEを割り当てる。

【0097】

図2に示した書込みポート15及び読出しポート16には例えば、セルブロックSE1、SE14、SE23及びSE43の算術論理演算素子LAYの入力バッファ回路や、出力バッファ回路を使用するとよい。これらの間の配線には列配線RO1、RO2及び行配線CO2、CO3、CO4を使用して結線するようになされる。

【0098】

ALU12にはセルブロックSE26及びSE36等を割り当てて構成する。セルブロックSE26及びSE36の算術論理演算素子LAYを使用してALU12を構築する。これらの間の配線には列配線RO1、RO2及び行配線CO5、CO6等を使用して結線するようになされる。

【0099】

デコーダ13にはセルブロックSE54及びSE64等を割り当てて構成する。セルブロックSE54及びSE64等の算術論理演算素子LAYを使用してデコーダ13を構築する。これらの間の配線には列配線RO5及び行配線CO3, CO4等を使用して結線するようになされる。

【0100】

ROMセル14にはセルブロックSE52及びSE62等を割り当てて構成する。セルブロックSE52及びSE62等のメモリセルMSEを使用して読出し専用メモリを構築する。算術論理演算素子LAYの入力バッファ回路や、出力バッファ回路を使用して演算プログラムAPの書込み／読出し回路を構成するようになされる。これらの間の配線には列配線RO5及び行配線CO1、CO2等を使用して結線するようになされる。

【0101】

実行ステートマシーン51にはセルブロックSE56、SE57、SE58、SE66、SE67及びSE68等を割り当てて構成する。これらの間の配線には列配線RO5及び行配線CO5、CO6、CO7等を使用して結線するようになされる。実行ステートマシーン51は演算命令#I1～#I4に基づいて一のレジスタriを選択し、ここで選択されたレジスタriが保持する値によって他のレジスタを選択するレジスタ相対レジスタアドレッシング処理を実行するものである。

【0102】

命令読出しステートマシーン52にはセルブロックSE85及びSE86等を割り当てて構成する。これらの間の配線には列配線RO7及び行配線CO4、CO5、CO6等を使用して結線するようになされる。セレクタ53及びプログラムカウンタ54には、セルブロックSE73等を割り当てて構成する。他の回路との間の配線には列配線RO7及び行配線CO2等を使用して結線するようになされる。インクリメンタ55にはセルブロックSE83等を割り当てて構成する。他の回路との間の配線には列配線RO7及び行配線CO2、CO3等を使用して結線するようになされる。

【0103】

セクタ56にはセルブロックSE33等を割り当てて構成する。他の回路との間の配線には行配線CO3及びCO4等を使用して結線するようになされる。セクタ56は一のレジスタを選択するための読出し実行アドレスAr又は当該レジスタを再度選択するための読出しアドレスArのいずれか一方を選択するものである。

【0104】

セクタ57にはセルブロックSE34等を割り当てて構成する。他の回路との間の配線には行配線CO2及びCO3等を使用して結線するようになされる。セクタ57は一のレジスタriを選択するための書込み実行アドレス又は当該レジスタを再度選択するための書込みアドレスAwのいずれか一方を選択するものである。

【0105】

入力用のセクタ59にはセルブロックSE12、SE22等を割り当てて構成する。他の回路との間の配線には列配線RO1及び行配線CO1等を使用して結線するようになされる。ラッチ回路58にはセルブロックSE35等を割り当てて構成する。他の回路との間の配線には列配線RO2及び行配線CO5等を使用して結線するようになされる。

【0106】

ラッチ回路510にはセルブロックSE37等を割り当てて構成する。他の回路との間の配線には列配線RO2及び行配線CO6、CO7等を使用して結線するようになされる。ラッチ回路511にはセルブロックSE41等を割り当てて構成する。他の回路との間の配線には列配線RO3及び行配線CO1等を使用して結線するようになされる。

【0107】

図9は演算処理装置100の構築例（その3）を示すイメージ図である。図9においては、図8で画定されたレジスタアレイ11、ALU12、デコーダ13、ROMセル14、実行ステートマシーン51、命令読出しステートマシーン52、セクタ53、プログラムカウンタ54、インクリメンタ55、セクタ56、セクタ57、入力用のセクタ59、ラッチ回路58、510、511間

を配線情報により結線して演算処理装置100を構築するようになされる。

【0108】

この例では電子機器の例えば、プリント配線基板に、演算処理装置100を構築するプログラマブル・ロジック・デバイスを取り付けると共に、書き換え可能な不揮発性の記憶装置の一例となるフラッシュメモリ70が取り付けられる。

【0109】

このフラッシュメモリ70には、各セルブロックSE_{i j}内のメモリセル間、算術論理演算素子間の配線や、セルブロックSE11～SE88間の配線、これらの間を結線する列配線RO1～RO7とI/Oインタフェース間等の至る所に配置されたスイッチ素子をONするための配線情報が格納されている。

【0110】

図10はフラッシュメモリ70による配線情報例を示す表図である。図10に示す配線情報例では配線情報D1～D38・・・に対する信号線L1～L38・・・と共に、当該信号線L1～L38に伝送される信号又はDATA等の用途を示している。配線情報D1～D38・・・は回路技術言語により作成され、ネットリスト（結線情報）として準備される。この例でフラッシュメモリ70に格納される配線情報D1～D38・・・は当該演算処理装置100の機能に応じて随時書き換えられるものである。

【0111】

なお、演算プログラムAPはROMセル14に書込むようになされる。この例で演算プログラムAPには、レジスタ相対レジスタアドレッシング処理を実行するための演算命令#I1～#I4が含まれている。この演算プログラムAPを配線情報D1～D38・・・とリンクさせてデコーダ13に出力するようにしてもよい。フラッシュメモリ70によってROMセル14の機能を兼用できるようになる。

【0112】

図11は演算処理装置100における結線例を示すイメージ図である。図11に示す結線例によれば、例えば、セルブロックSE22と、セルブロックSE66とを信号線L24で接続する場合、セルブロックSE22と列配線RO3との

間に配置されたスイッチング用のトランジスタT23と、列配線R03と行配線C06との間に配置されたトランジスタT63と、行配線C06とセルブロックSE66との間に配置されたトランジスタT66とを使用する。各々のトランジスタT23, T63, T66はゲート制御可能になされている。

【0113】

これを前提にして、電源オンと共にフラッシュメモリ70から、例えば図11に示した表図の配線情報D24が読み出される。配線情報D24はトランジスタT23, T63, T66の各々のゲートに設定される。これにより、各々のトランジスタT23, T63, T66がONする。これらのトランジスタT23, T63, T66のONにより、セルブロックSE22と列配線R03との間、列配線R03と行配線C06との間及び行配線C06とセルブロックSE66との間が電氣的に接続され、信号線L24を構築することができる。

【0114】

この例でセルブロックSE22はセクタ59に割り当てられ、セルブロックSE66は実行ステートマシーン51に割り当てられており、信号線L24は当該セクタ59の選択制御信号S24を伝送する際に使用される。

【0115】

このように、各セルブロックSEij内のメモリセル間等の至る所に配置されたスイッチング用のトランジスタに配線情報D1～D38・・・等が設定され、この配線情報D1～D38・・・等に基づいて当該トランジスタにより回路要素間を自在に接続する。これにより、レジスタアレイ11、ALU12、デコーダ13、ROMセル14及び命令実行制御部50等を結線するようになされる。この設定によりROMセル14に格納される演算プログラムAPのサイズを小さくすることができる。

【0116】

図12は演算処理装置100の構築例(その4)を示す回路接続図である。図12は電源オンと共に結線された演算処理装置100の回路図を示している。図1に示した演算処理装置100の構成図に関して複数の信号線等を記述したものである。ここで記述した信号線はフラッシュメモリ70に記録される配線情報D

1～D38等に基づくものである。配線情報D1～D38等は信号線毎に準備される。

【0117】

この例では配線情報D3に基づいて図11に示したようなスイッチング用のトランジスタがONすることで、信号線L3がデコーダ13とROMセル14を接続する。信号線L3には演算プログラムAPが伝送される。同様にして信号線L4は配線情報D4に基づいてデコーダ13と命令読出しステートマシーン52とを接続する。信号線L4には命令制御信号S4が伝送される。

【0118】

信号線L5は配線情報D5に基づいてROMセル14と命令読出しステートマシーン52とプログラムカウンタ54とを接続する。信号線L5にはカウント出力信号S5が伝送される。信号線L6は配線情報D6に基づいてセクタ53とプログラムカウンタ54とを接続する。信号線L6にはセクタ出力として分岐制御信号S27又はインクリメント出力信号S7のいずれかが伝送される。

【0119】

信号線L7は配線情報D7に基づいてインクリメンタ55とセクタ53とを接続する。信号線L7にはインクリメント出力信号S7が伝送される。信号線L9、信号線L10は配線情報D10に基づいてデコーダ13と実行ステートマシーン51とを接続する。信号線L9には命令信号S9が伝送され、信号線L10には各引数信号S10が伝送される。

【0120】

信号線L11は配線情報D11に基づいてデータバス19Aと入力用のセクタ59とを接続する。信号線L11にはデータ(DATA)が伝送される。信号線L12は配線情報D12に基づいてレジスタアレイ11と実行ステートマシーン51とを接続する。信号線L12には書き込み制御信号Swが伝送される。

【0121】

書き込みアドレス線L13は配線情報D13に基づいてレジスタアレイ11とセクタ57とを接続する。書き込みアドレス線L13には書き込みアドレスAwが伝送される。読出しアドレス線L14は配線情報D14に基づいてレジスタアレイ

11とセクタ56とを接続する。読出しアドレス線L14には読出しアドレスArが伝送される。

【0122】

信号線L15は配線情報D15に基づいてラッチ回路511とアドレスバス19Bとを接続する。信号線L15には外部アドレスが伝送される。信号線L16は配線情報D16に基づいて実行ステートマシーン51とコントロールバス19Cとを接続する。信号線L16には外部制御信号S16が伝送される。信号線L17は配線情報D17に基づいてラッチ回路511と実行ステートマシーン51とを接続する。信号線L17にはラッチ制御信号S17が伝送される。

【0123】

データ信号線L20は配線情報D20に基づいてレジスタアレイ11と、ALU12と、データバス19Aと、セクタ57と、セクタ56と、58と、入力用のセクタ59とを接続する。データ信号線L20にはデータ(DATA)、X値、Y値等が伝送される。

【0124】

信号線L21は配線情報D21に基づいてALU12と入力用のセクタ59とを接続する。信号線L21には演算結果値Zが伝送される。信号線L22は配線情報D22に基づいてALU12とラッチ回路510とを接続する。信号線L22には一致検出信号S22が伝送される。

【0125】

信号線L23は配線情報D23に基づいて実行ステートマシーン51とラッチ回路510とを接続する。信号線L23にはフラグ状態信号S23が伝送される。信号線L24は配線情報D24に基づいて入力用のセクタ59と実行ステートマシーン51とを接続する。信号線L24には選択制御信号S24が伝送される。

【0126】

信号線L25は配線情報D25に基づいて入力用のセクタ59とレジスタアレイ11とを接続する。信号線L25にはデータ、演算結果値Z、被数X値等が伝送される。信号線L26は配線情報D26に基づいて実行ステートマシーン5

1と命令読出しステートマシン52とを接続する。信号線L26には実行終了信号S26が伝送される。

【0127】

信号線L27は配線情報D27に基づいて実行ステートマシン51とセクタ53とを接続する。信号線L27には分岐制御信号S27が伝送される。信号線L28は配線情報D28に基づいて実行ステートマシン51とセクタ53とを接続する。信号線L28には選択制御信号S28が伝送される。

【0128】

信号線L29は配線情報D29に基づいて命令読出しステートマシン52と実行ステートマシン51とを接続する。信号線L29には命令実行開始信号S29が伝送される。信号線L30は配線情報D30に基づいて命令読出しステートマシン52とプログラムカウンタ54とを接続する。信号線L30にはカウント制御信号S30が伝送される。

【0129】

信号線L31は配線情報D31に基づいてセクタ57と実行ステートマシン51とを接続する。信号線L31には選択制御信号S31が伝送される。信号線L32は配線情報D32に基づいてセクタ56と実行ステートマシン51とを接続する。信号線L32には選択制御信号S32が伝送される。

【0130】

アドレス信号線L33は配線情報D33に基づいてセクタ56と実行ステートマシン51とを接続する。アドレス信号線L33には読出しアドレスArが伝送される。信号線L34は配線情報D34に基づいてラッチ回路58と実行ステートマシン51とを接続する。信号線L34にはラッチ制御信号S58が伝送される。

【0131】

信号線L35は配線情報D35に基づいてALU12と実行ステートマシン51とを接続する。信号線L35にはALU制御信号S35が伝送される。信号線L36は配線情報D36に基づいてラッチ回路58とALU12とを接続する。信号線L36にはラッチ出力としてX値「0」等が伝送される。

【0132】

アドレス信号線L37は配線情報D37に基づいてセクタ57と実行ステートマシン51とを接続する。アドレス信号線L37には書込みアドレスAwが伝送される。信号線L38は配線情報D38に基づいて実行ステートマシン51とラッチ回路510とを接続する。信号線L38にはラッチ制御信号S38が伝送される。

【0133】

このように、本発明に係る実施形態としての演算処理装置100の構築方法によれば、電源オンと共にフラッシュメモリ70から読み出された配線情報D1～D38・・・等に基づいてレジスタアレイ11、ALU12、デコーダ13、ROMセル14、実行ステートマシン51、命令読出しステートマシン52、セクタ53、プログラムカウンタ54、インクリメンタ55、セクタ56、セクタ57、入力用のセクタ59及びラッチ回路58、510、511を結線するようになされる。

【0134】

従って、実行ステートマシン51で演算命令#I1～#I4に基づいて一のレジスタr10を選択し、このレジスタr10が保持する値「0」によって他のレジスタr0を選択するレジスタ相対レジスタアドレッシング処理を実行するようなプログラム可能な演算処理装置100を電源オンと共に構築することができる。1チップでメモリセルを含むプロセッサを効率良く構築することが可能となる。

【0135】

構築後のデコーダ13ではALU12を動作させるための演算プログラムAPから演算命令#I1～#I4が解読され、命令実行制御部50ではデコーダ13によって解読された演算命令#I1～#I4を実行するためにレジスタアレイ11及びALU12が制御される。ALU12ではレジスタアレイ11から読み出されたX値、Y値が演算される。そのレジスタr10が示す値「0」のレジスタr0にその演算結果値Zを格納することができる。

【0136】

また、命令実行制御部50ではPLD内部のメモリ機能を持つ部分の全てをレジスタとして扱うことができるので、メモリセルとレジスタを区別してアクセスする種類のプロセッサと比べて、高速な動作が可能になる。しかも、CPUや、RAM、ROM等を個々に基板に配置する場合に比べて基板占有面積を低減することができる。当該演算処理装置100が適用される携帯端末装置等の電子機器のコンパクト化を図ることができる。

【0137】

【発明の効果】

以上説明したように、本発明に係る演算処理装置によれば、演算命令を実行するためにレジスタアレイ及び演算部を制御する命令実行制御部を備え、この命令実行制御部は演算命令に基づいて一のレジスタを選択すると共に、このレジスタが保持する値によって他のレジスタを選択するレジスタ相対レジスタアドレッシング処理を実行するものである。

【0138】

この構成によって、レジスタアレイをデータの随時書込み及び読出し可能なメモリのように取り扱うことができるので、従来方式の中央演算処理装置に比べて外部メモリの格納番地を指定するレジスタ相対メモリアドレッシング処理に依存しなくなる。

【0139】

従来方式のCPUの中にRAMやROMの機能を取り込むことができるので、高速演算処理を実行すること、及び、CPUや、RAM、ROM等を個々に基板に配置する場合に比べて基板占有面積を低減することができる。当該演算処理装置が適用される応用装置のコンパクト化を図ることができる。

【0140】

しかも、同一半導体チップ上に、レジスタアレイや読出し専用メモリをメモリセルにより構成し、演算部、命令解読部及び命令実行制御部を算術論理演算素子により構成することで、当該演算処理装置をプログラマブル・ロジック・デバイスによって構成することができる。

【0141】

本発明に係る演算処理装置の構築方法によれば、任意の演算プログラムに基づいて演算処理をする装置を構築する場合に、予め同一半導体チップ上に複数のメモリセル及び算術論理演算素子を形成し、このメモリセルを組み合わせてレジスタアレイ及び読出し専用メモリを画定すると共に、算術論理演算素子を組み合わせて演算部、命令解読部及び命令実行制御部を画定し、その後、レジスタアレイ、読出し専用メモリ、演算部、命令解読部及び命令実行制御部を予め設定された配線情報に基づいて結線すると共に、読出し専用メモリに任意の演算プログラムを書込むようになされる。

【0142】

この構成によって、命令実行制御部で演算命令に基づいて一のレジスタを選択し、このレジスタが保持する値によって他のレジスタを選択するレジスタ相対レジスタアドレッシング処理を実行するようなプログラム可能な演算処理装置を構築することができる。

【0143】

しかも、従来方式のCPUの中にRAMやROMの機能を取り込んだ演算処理装置を構築することができ、高速演算処理を実行すること、及び、CPUや、RAM、ROM等を個々に基板に配置する場合に比べて基板占有面積を低減することができる。当該演算処理装置が適用される応用装置のコンパクト化を図ることができる。

【0144】

本発明に係る演算処理方法によれば、演算プログラムに基づいて任意の演算処理をする場合に、書込みアドレス及び書込み制御信号に基づいて任意の値を保持し、及び、読出しアドレスに基づいて当該値を出力するレジスタを予め複数準備し、その後、演算プログラムから演算命令を解読し、この演算命令に基づいて一のレジスタを選択し、ここで選択されたレジスタが保持する値によって他のレジスタを選択するレジスタ相対レジスタアドレッシング処理を実行すると共に、演算命令に基づいて他のレジスタを選択し、ここで選択された他のレジスタが保持する値とレジスタ相対レジスタアドレッシング処理によって選択されたレジスタの値とを演算するようになされる。

【0145】

この構成によって、複数のレジスタをデータの随時書込み及び読出し可能なメモリのように取り扱うことができるので、従来方式の中央演算処理装置と外部メモリと組み合わせた演算処理方法に比べてレジスタ相対メモリアドレス処理に依存しなくなる。これにより、従来方式に比べて高速演算処理を実行できるようになる。

【0146】

この発明は各種電子機器に内蔵可能でプログラム可能な1チップマイクロコンピュータ等に適用して極めて好適である。

【図面の簡単な説明】

【図1】

本発明に係る実施形態としての演算処理装置100の構成例を示すブロック図である。

【図2】

レジスタアレイ11の内部構成例を示すブロック図である。

【図3】

A～Eは演算処理装置100で取り扱う命令の構造例を示すフォーマット等である。

【図4】

ROMセル14の演算プログラムによる演算命令の例を示す表図である。

【図5】

レジスタr0～r12等の状態例を示すイメージ図である。

【図6】

本発明に係る実施形態としての演算処理装置100の動作例を示すフローチャートである。

【図7】

本発明に係る実施形態としての演算処理装置100の構築例（その1）を示す平面図である。

【図8】

演算処理装置 100 の構築例（その 2）を示す平面図である。

【図 9】

演算処理装置 100 の構築例（その 3）を示すイメージ図である。

【図 10】

フラッシュメモリ 70 による配線情報例を示す表図である。

【図 11】

演算処理装置 100 における結線例を示すイメージ図である。

【図 12】

演算処理装置 100 の構築例（その 4）を示す回路接続図である。

【符号の説明】

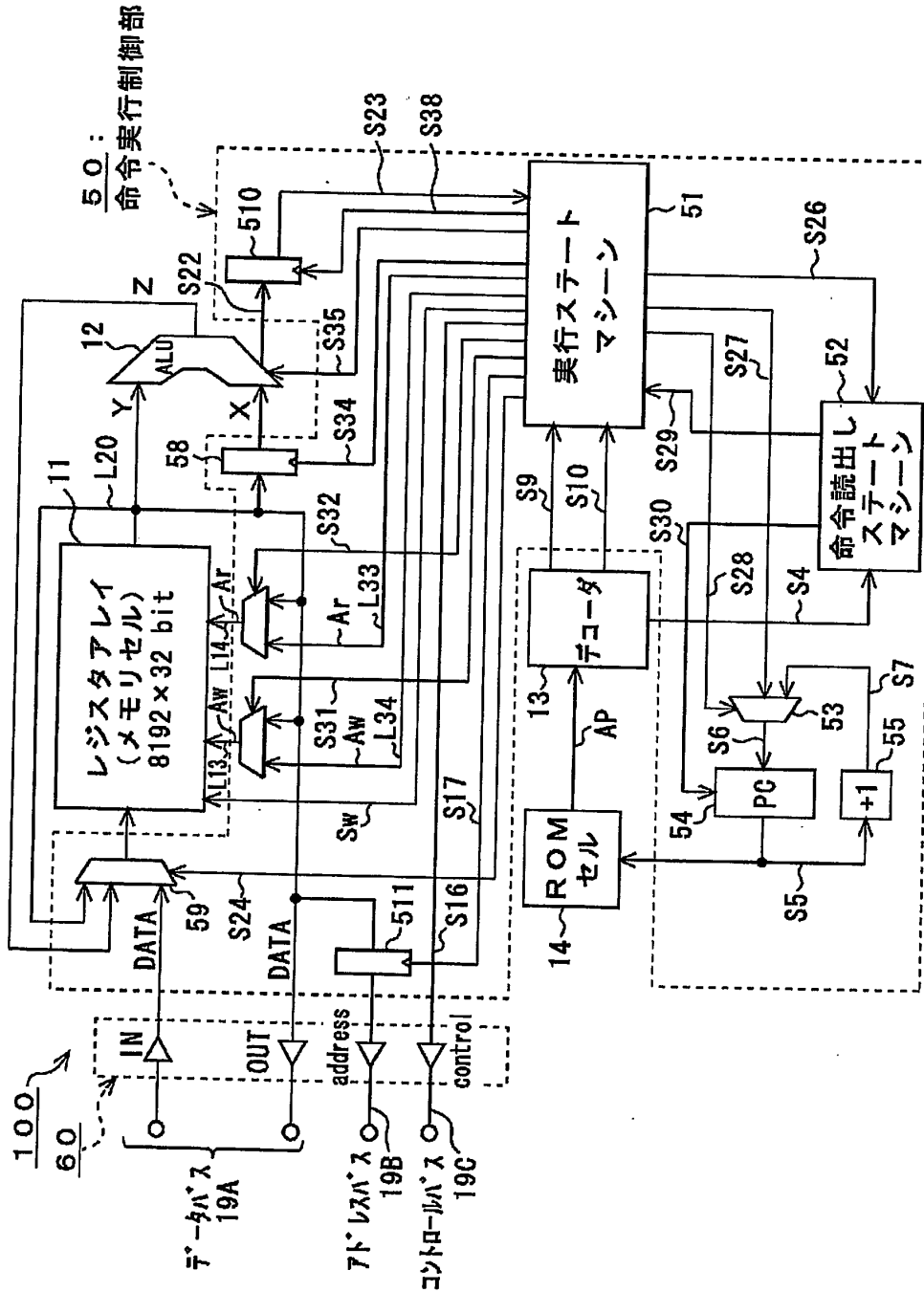
11・・・レジスタアレイ、12・・・ALU（演算部）、13・・・デコーダ（命令解読部）、14・・・ROMセル（読出し専用メモリセル）、50・・・命令実行制御部、51・・・実行ステートマシーン（命令実行制御部）、52・・・命令解読ステートマシーン（命令実行制御部）、53, 59・・・セレクタ、54・・・プログラムカウンタ、55・・・インクリメンタ、58, 510, 511・・・ラッチ回路、56・・・第1のセレクタ（命令実行制御部）、57・・・第2のセレクタ（命令実行制御部）、70・・・フラッシュメモリ（記憶装置）、100・・・演算処理装置、r0～rn・・・レジスタ

【書類名】

図面

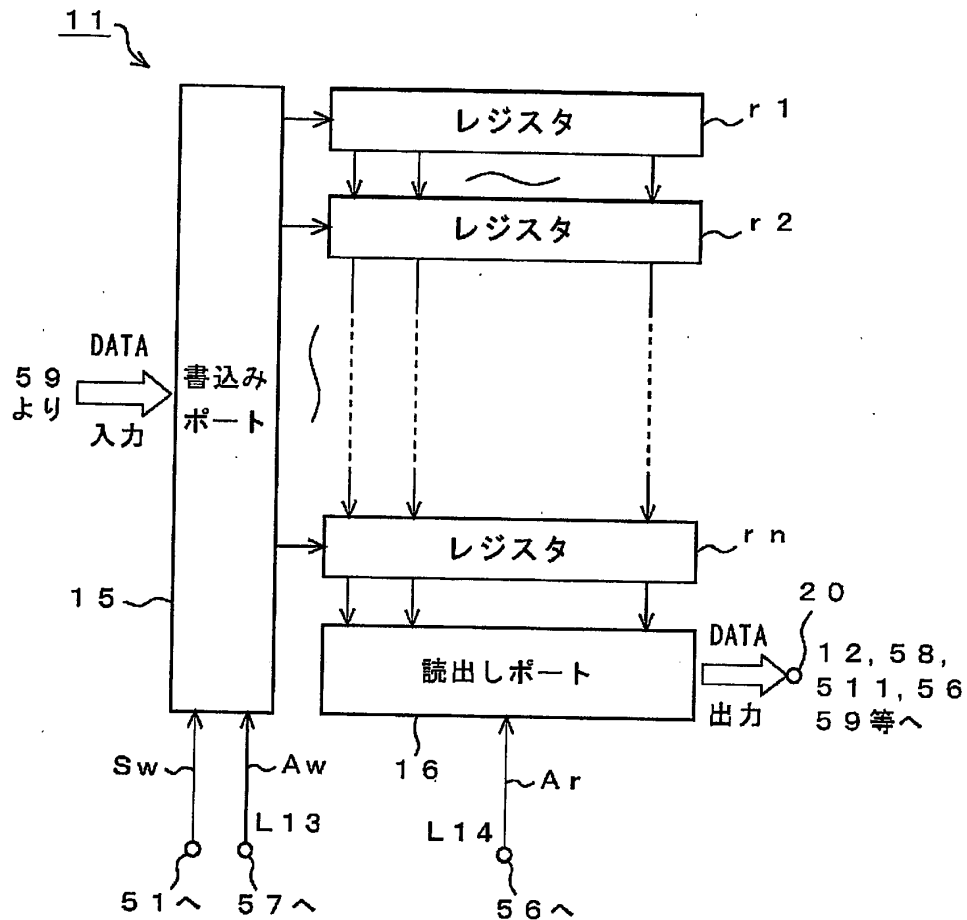
【図1】

実施形態としての演算処理装置100 の構成例



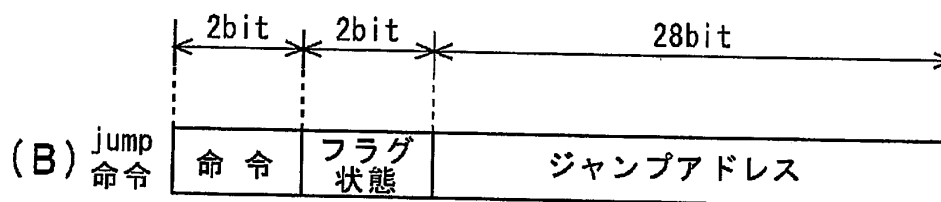
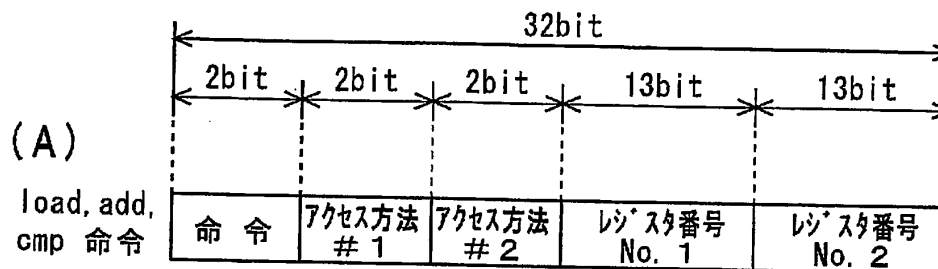
【図2】

レジスタアレイ11の内部構成例



【図3】

演算処理装置 100 で取り扱う命令の構造例



(C)

命 令	
0	load
1	add
2	cmp
3	jump

(D)

アクセス方法	
0	レジスタ直接
1	レジスタ相対レジスタ
2	レジスタ相対外部
3	未 使 用

(E)

フラグ状態	
0	無 条 件
1	zero flag
2	non-zero flag
3	未 使 用

【図4】

演算プログラムによる演算命令の例

No.	ニーモニックによる表現	機械語による表現
# I 1	LOOP: add[r10], r11	5001400Bh
# I 2	add r10, r11	4001400Bh
# I 3	cmp r10, r12	8001400Ch
# I 4	jump nz, LOOP	E0000000h

【図5】

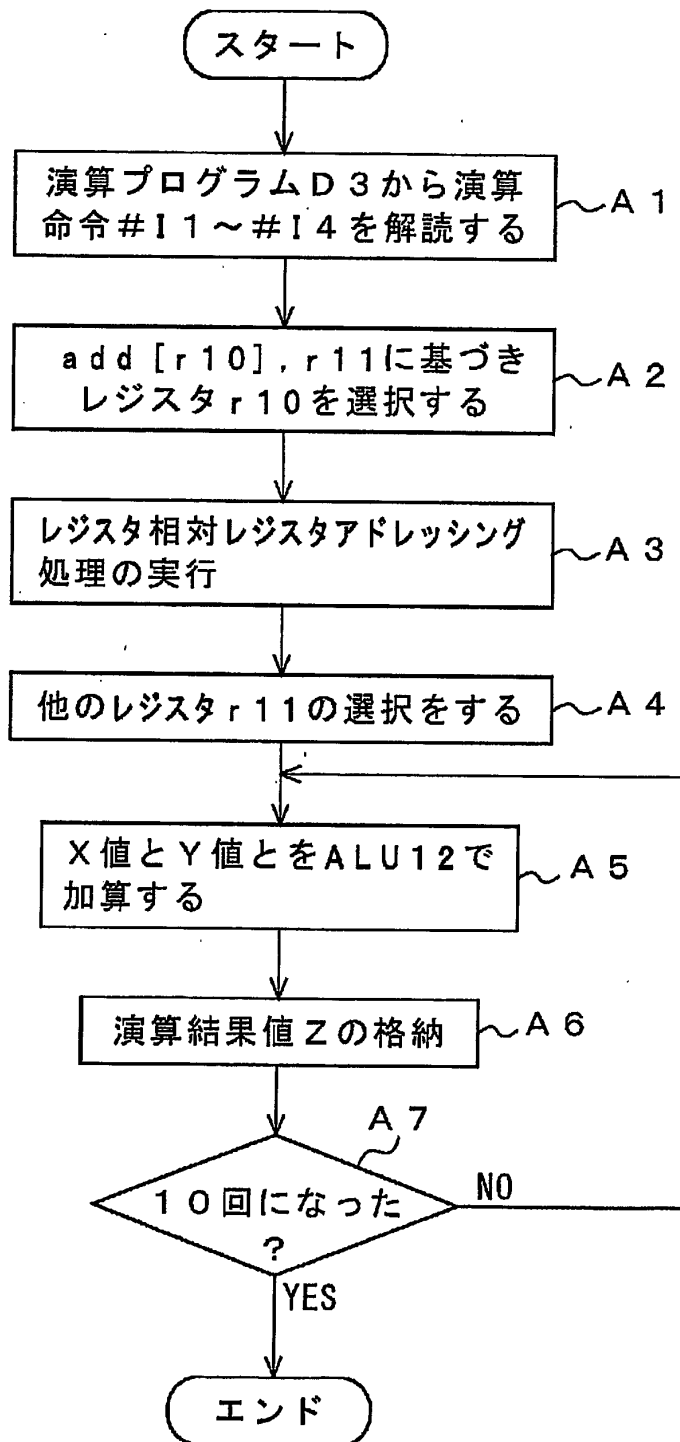
レジスタ r 0 ~ r 1 2 等の状態例

レジスタ番号	値	
r 0	0	
r 1	0	
r 2	0	
r 3	0	
r 4	0	
r 5	0	
r 6	0	
r 7	0	
r 8	0	
r 9	0	
r 10	0	← 現在の配列の番号
r 11	1	← 足す値
r 12	10	← 終了値

11 ~

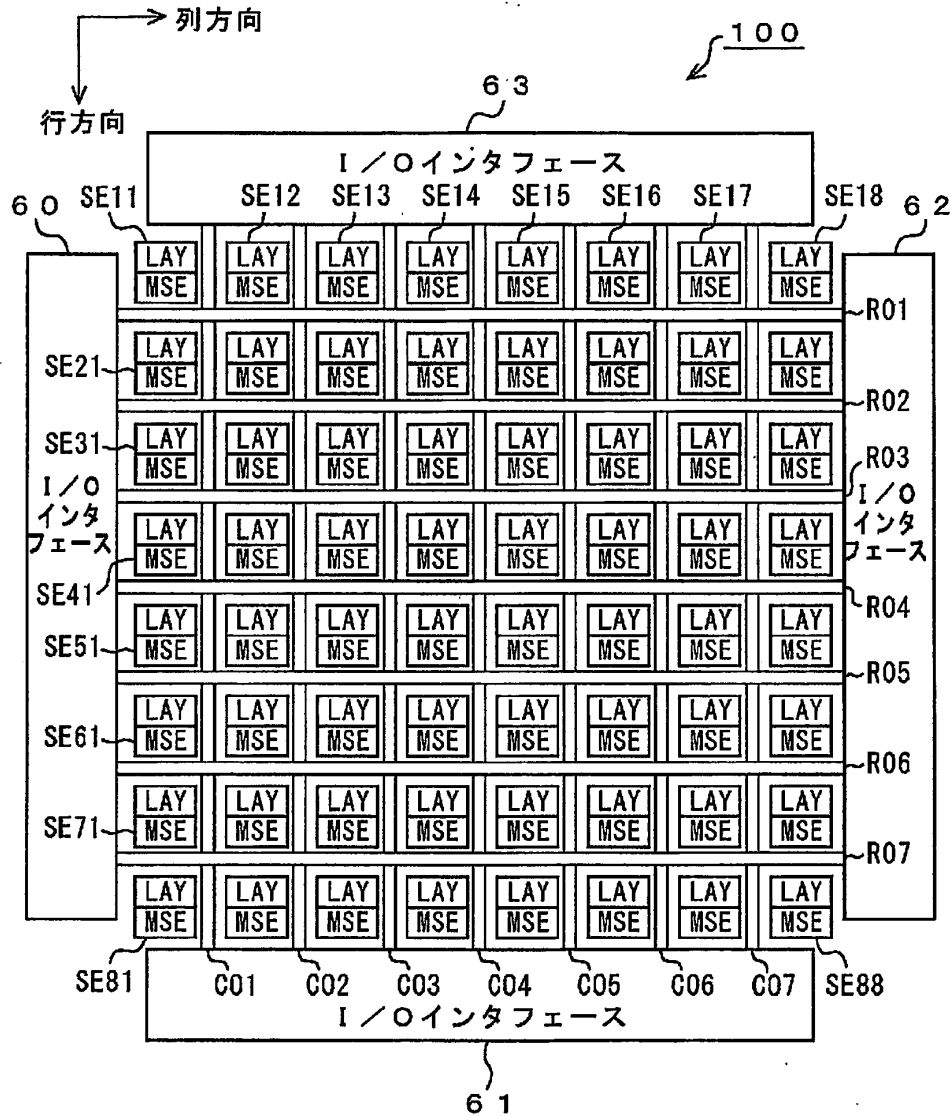
【図6】

演算処理装置100の動作例



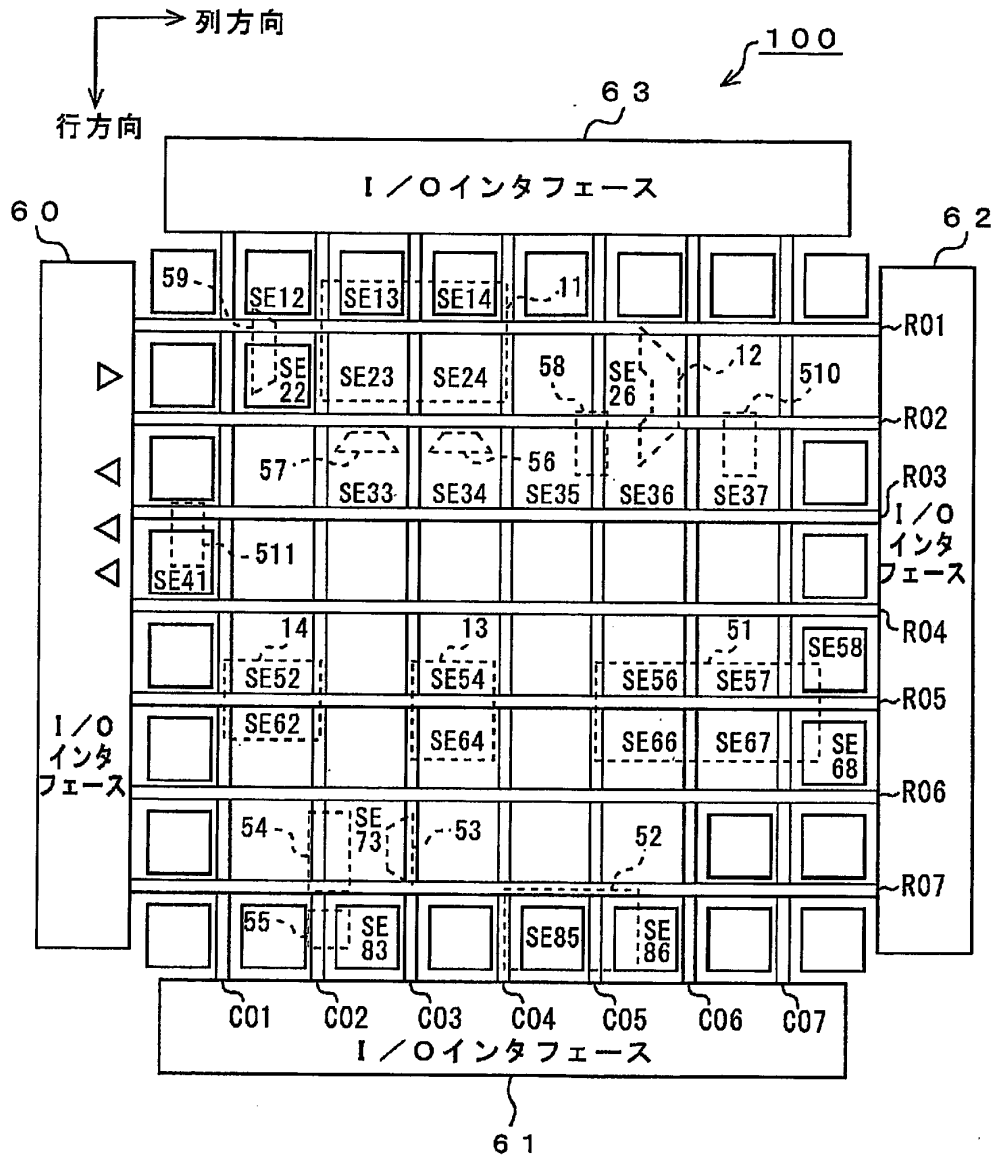
【図 7】

演算処理装置 100 の構築例（その 1）



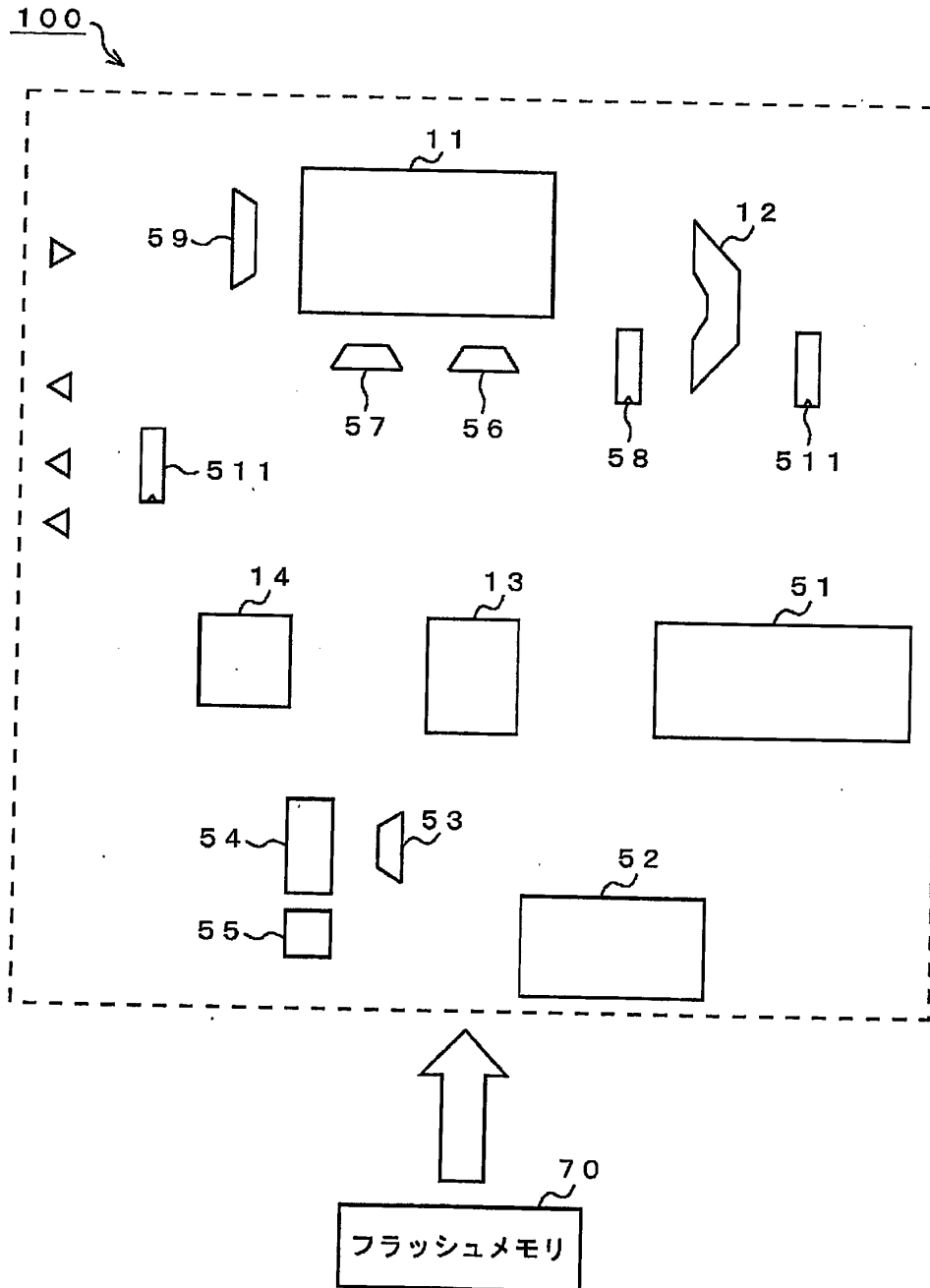
【図8】

演算処理装置100の構築例（その2）



【図9】

演算処理装置100の構築例（その3）



【図10】

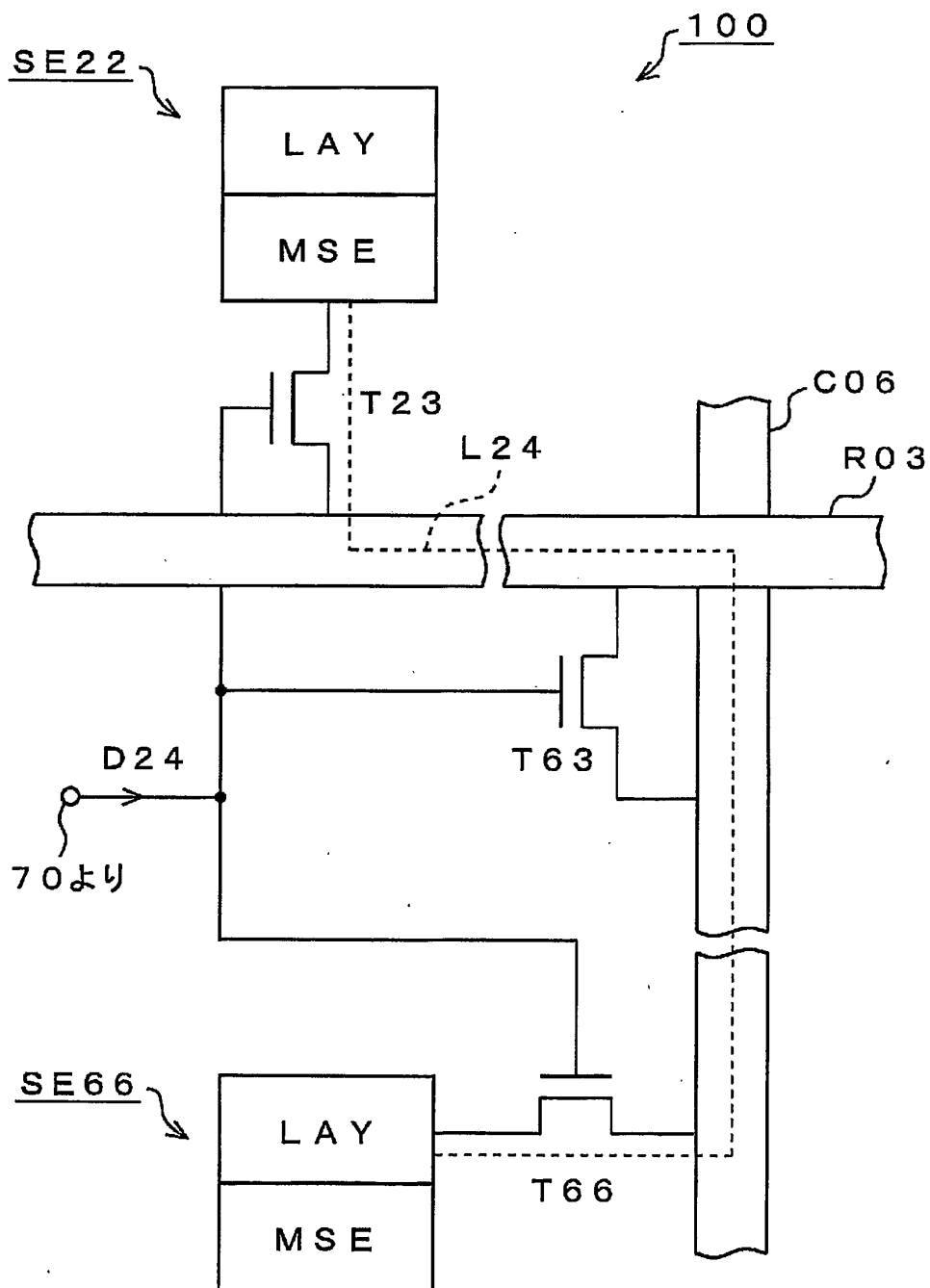
フラッシュメモリ70による配線情報例

70

配線情報	信号線	用途	配線情報	信号線	用途
D 1	アキ		D 2 1	L 2 1	演算結果値Z
D 2	アキ		D 2 2	L 2 2	一致検出信号S 2 2
D 3	L 3	演算プログラムAP	D 2 3	L 2 3	フラグ状態信号S 2 3
D 4	L 4	命令制御信号S 4	D 2 4	L 2 4	選択制御信号S 2 4
D 5	L 5	カウント出力信号S 5	D 2 5	L 2 5	DATA, Z, X
D 6	L 6	セレクト出力S 7, S 2 7	D 2 6	L 2 6	実行終了信号S 2 6
D 7	L 7	インクリメント出力信号S 7	D 2 7	L 2 7	分岐制御信号S 2 7
D 8	アキ		D 2 8	L 2 8	選択制御信号S 2 8
D 9	L 9	命令信号S 9	D 2 9	L 2 9	命令実行開始信号S 2 9
D 1 0	L 1 0	各引数信号S 1 0	D 3 0	L 3 0	カウント制御信号S 3 0
D 1 1	L 1 1	DATA	D 3 1	L 3 1	選択制御信号S 3 1
D 1 2	L 1 2	書き込み制御信号Sw	D 3 2	L 3 2	選択制御信号S 3 2
D 1 3	L 1 3	書き込みアドレスAw	D 3 3	L 3 3	読出しアドレスAr
D 1 4	L 1 4	読出しアドレスAr	D 3 4	L 3 4	ラッチ制御信号S 3 4
D 1 5	L 1 5	外部アドレス	D 3 5	L 3 5	ALU制御信号S 3 5
D 1 6	L 1 6	外部制御信号S 1 6	D 3 6	L 3 6	X値
D 1 7	L 1 7	ラッチ制御信号S 1 7	D 3 7	L 3 7	書き込みアドレスAw
D 1 8	アキ		D 3 8	L 3 8	ラッチ制御信号S 3 8
D 1 9	アキ		•		
D 2 0	L 2 0	DATA, X, Y	•		
			•		

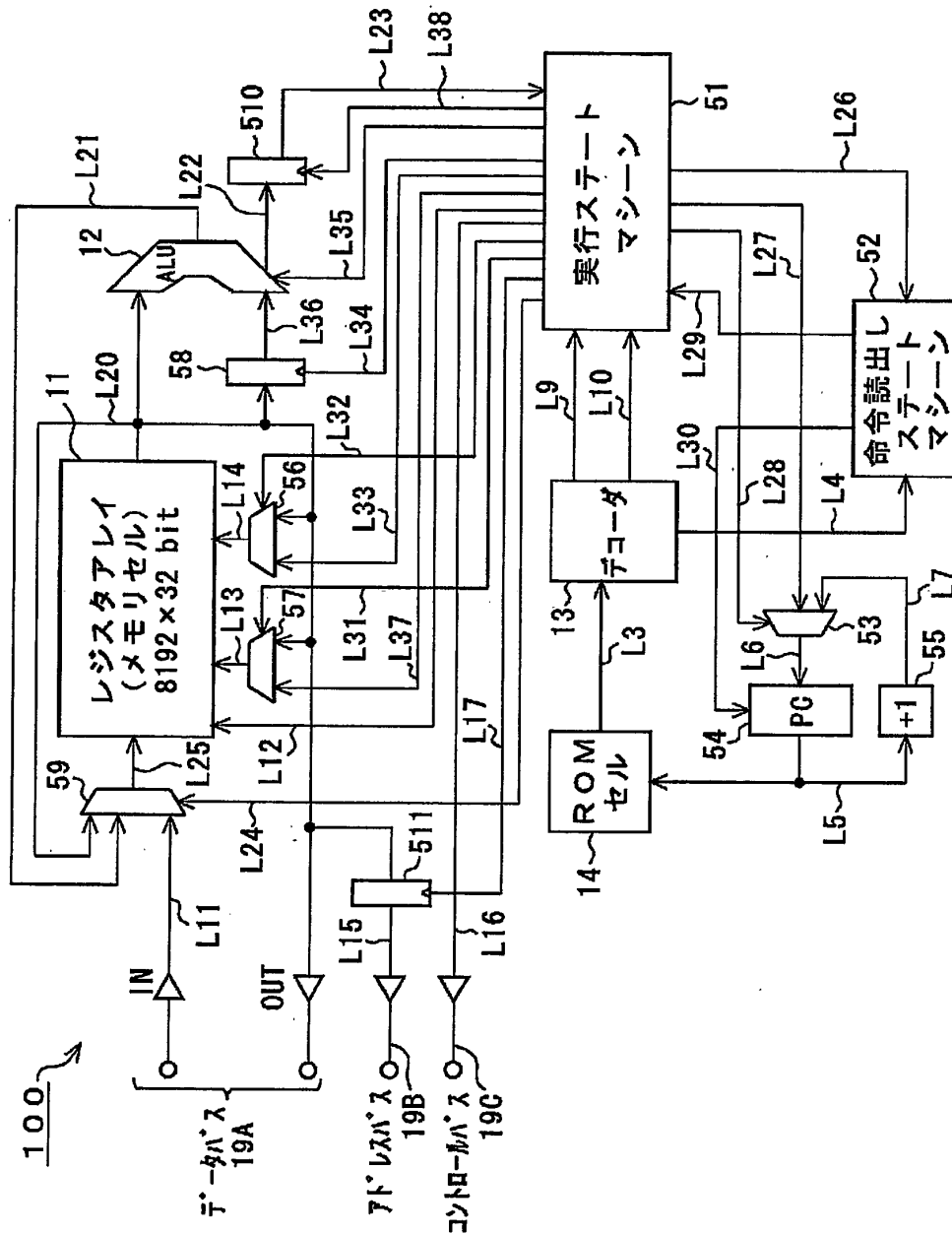
【図11】

演算処理装置100における結線例



【図12】

演算処理装置100の構築例(その4)



【書類名】 要約書

【要約】

【課題】 CPUや、RAM、ROM等の機能を1チップに集合化する場合にレジスタの集合体をRAMのように動作できるようにすると共に、これらの機能部品等を個々に基板配置する場合に比べて基板占有面積を低減できるようにする。

【解決手段】 書込みアドレスAw及び書込み制御信号Swに基づいて任意の値を保持し、及び、読出しアドレスArに基づいて当該値を出力するレジスタを複数有したレジスタアレイ11と、この値を演算するALU12と、このALU12を動作させるための演算プログラムAPから演算命令を解読するデコーダ13と、この演算命令を実行するためにレジスタアレイ11及びALU12を制御する命令実行制御部50とを備え、この命令実行制御部50は演算命令に基づいて一のレジスタを選択し、このレジスタが保持する値によって他のレジスタを選択するレジスタ相対レジスタアドレッシング処理を実行するものである。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.